

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245540

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H03G 3/20
H01L 31/10
H03G 3/10
H04B 10/28
H04B 10/26
H04B 10/14
H04B 10/04
H04B 10/06

(21)Application number : 06-153245

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.07.1994

(72)Inventor : YASUDA AKIHIKO
MISAIZU SETSUO
SAKAMOTO HISAYA
MIYAKI YUJI
NAGASE NORIO
KUZUGAMI HIROSHI

(30)Priority

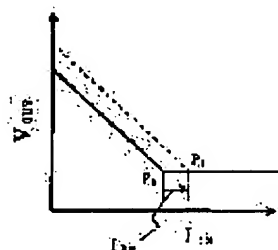
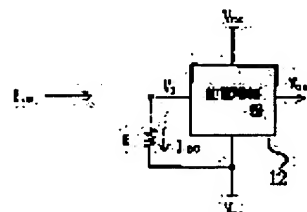
Priority number : 06 14785 Priority date : 12.01.1994 Priority country : JP

(54) OPTICAL RECEIVER FOR OPTICAL DIGITAL COMMUNICATION

(57)Abstract:

PURPOSE: To always obtain an optimum amplification factor by providing a resistor whose resistance is higher than an input impedance of a preamplifier between an input of the preamplifier and a ground level point and supplying a bias current to the resistor so as to increase an input saturation current of the preamplifier.

CONSTITUTION: A resistor R whose resistance is much higher than an input impedance of a preamplifier 12 is provided between an input of the preamplifier and a ground level point to supply a bias current I_{DC} to the resistor R in a decreasing direction of an input current I_{IN} . Thus, an input current versus output voltage characteristic shown in solid lines is shifted to the characteristic shown in broken lines and a saturation point P is shifted to a point P1. As a result, a saturation current of the preamplifier 12 is improved by $+I_{DC}$. In this case, it is required to take notice of a parasitic capacitance (capacitance between input and ground point of preamplifier 12) of a current source circuit and of an impedance (higher than input impedance of the preamplifier 12) of the current source circuit.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245540

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 G 3/20	Z			
H 0 1 L 31/10				
H 0 3 G 3/10	A			
		7739-5K	H 0 1 L 31/ 10 H 0 4 B 9/ 00	G Y

審査請求 未請求 請求項の数22 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平6-153245

(22) 出願日 平成6年(1994)7月5日

(31) 優先権主張番号 特願平6-14785

(32) 優先日 平6(1994)1月12日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 安田 明彦

栃木県小山市城東3丁目28番1号 富士通
デジタル・テクノロジー株式会社内

(72) 発明者 美斉津 摂夫

栃木県小山市城東3丁目28番1号 富士通
デジタル・テクノロジー株式会社内

(72) 発明者 坂本 久弥

栃木県小山市城東3丁目28番1号 富士通
デジタル・テクノロジー株式会社内

(74) 代理人 弁理士 林 恒徳

最終頁に続く

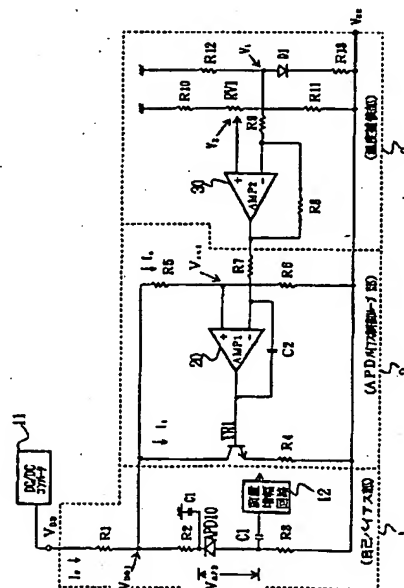
(54) 【発明の名称】 光デジタル通信用の光受信装置

(57) 【要約】

【目的】 受光素子のバイアス回路に関し、光入力電力に対し常に最適増倍率 (M_{opt}) に制御可能なバイアス回路を提供する。

【構成】 第一の抵抗 (R_1) と、第二の抵抗 (R_2) と、第三の抵抗 (R_3) 及び受光素子 (APD) を有する。第一の抵抗 (R_1) と第二の抵抗 (R_2) は、直列に接続され、受光素子 (APD) は、第一の抵抗 (R_1) と第二の抵抗 (R_2) の直列接続と第三の抵抗 (R_3) との間に接続され、更に第一の抵抗 (R_1) と第二の抵抗 (R_2) の接続点にバイパス電流の電流路 (2) が接続される。

本発明の一実施例回路図



【特許請求の範囲】

【請求項 1】 バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有する光受信装置において、

該前置増幅器の入力と接地電位間に該前置増幅器の入力インピーダンスより大きい抵抗を備え、該抵抗にバイアス電流を流し、該前置増幅器の入力飽和電流を増加させるように構成されたことを特徴とする光受信装置。

【請求項 2】 請求項 1 において、

更に、前記前置増幅器の入力と接地電位間に挿入された抵抗と直列に挿入されたダイオードを有し、該前置増幅器の入力直流電圧の温度変動に対し、前記バイアス電流の大きさを、一定に保つように構成したことを特徴とする光受信装置。

【請求項 3】 請求項 2 において、

前記抵抗とダイオードの直列接続は、該抵抗が前記前置増幅器の入力端に接続されるように該前置増幅器の入力と接地電位との間に挿入接続されたことを特徴とする光受信装置。

【請求項 4】 バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器とし、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有する光受信装置において、該受光素子毎の自己バイアス制御電圧のバラツキ特性から最高光入力レベル時の受光素子バイアス電圧が制御されるべき範囲を定め、該設定範囲になるべく該バイアス抵抗が調整されたことを特徴とする光受信装置。

【請求項 5】 請求項 4 において、

光受信装置に前記受光素子を取り付ける際に、事前を取得された該受光素子の降伏電圧及び該降伏電圧の温度傾斜のデータに基づき前記バイアス抵抗の設定値を計算し、該計算により求めた値の抵抗が実装されたことを特徴とする光受信装置。

【請求項 6】 バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有する光受信装置において、

該バイアス抵抗に並列に接続されたダイオードを有し、該ダイオードの順方向電圧降下により最大光入力レベル時の該受光素子のバイアス電圧をクランプするように構成されたことを特徴とする光受信装置。

【請求項 7】 バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有する光受信装置において、

該バイアス抵抗に並列に接続され、所定クランプ電圧で動作するトランジスタを有し、該トランジスタが動作する時、該受光素子のカソード電位をクランプするように構成されたことを特徴とする光受信装置。

【請求項 8】 バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有する光受信装置において、

該バイアス抵抗は、第一の抵抗と第二の抵抗を有し、該直列回路は、電源 (V_{DD}) に接続された該第一及び第二の抵抗と受光素子の直列接続からなり、更に、該第一及び第二の抵抗の接続点の電位が所定値となるように該直列回路に流れる電流を制御するバイパス電流の電流路を有することを特徴とする光受信装置。

【請求項 9】 請求項 8 において、

前記直列回路は、更に第三の抵抗を有し、該受光素子は、該第一の抵抗と該第二の抵抗の直列接続と該第三の抵抗との間に接続され、更に該第一の抵抗と該第二の抵抗の接続点にバイパス電流の電流路が接続されたことを特徴とする光受信装置。

【請求項 10】 請求項 9 において、

前記第一の抵抗、第二の抵抗及び第三の抵抗は、前記受光素子の最大定格電流が流れた時、該受光素子の端子間電圧が破壊されない電圧 (V_{APD}) となるように抵抗値が決定され、且つ該第一の抵抗と第二の抵抗の接続点の電位 V_{DD2} により最小受光電力時に該受光素子の増倍率 M が最適値 (M_{OPT}) に制御できるように該第一の抵抗の抵抗値及び前記電流路に流れるバイパス電流が決定されることを特徴とする光受信装置。

【請求項 11】 請求項 9 において、

前記第一の抵抗と第二の抵抗の直列接続は、前記受光素子のカソード側に接続され、前記第三の抵抗は、該受光素子のアノード側に接続され、負荷抵抗とされることを特徴とする光受信装置。

【請求項 12】請求項 10 において、
前記バイパス電流の電流路は、該バイパス電流の大きさを可変とし、前記第一の抵抗の電圧降下により、該第一の抵抗と第二の抵抗の接続点の電位 V_{DD2} を可変とすることを特徴とする光受信装置。

【請求項 13】請求項 10 において、
前記バイパス電流の電流路は、
前記第一の抵抗と第二の抵抗の接続点と前記第三の抵抗の前記受光素子と反対側の端子との間に並列に接続される、制御用トランジスタと第四の抵抗の直列接続及び第五の抵抗と第六の抵抗の直列接続、
更に、該第五の抵抗と第六の抵抗の直列接続の接続点電位と第一の所定電位とを比較し、その出力により、該制御用トランジスタのインピーダンスを可変して該バイパス電流の大きさを制御する演算増幅器を有することを特徴とする光受信装置。

【請求項 14】請求項 13 において、
更に温度傾斜特性を有する素子の端子電位と第二の所定電位を比較して、その出力を前記第一の所定電位とする演算増幅器を有することを特徴とする光受信装置。

【請求項 15】請求項 10 において、
前記第二の抵抗および、第三の抵抗の抵抗値は、前記受光素子の光入力電力に対し、その増倍率 (M) を常に最適増倍率 (M_{opt}) になる様に決定されることを特徴とする光受信装置。

【請求項 16】自己バイアス部とバイアス制御ループ部と温度補償部と増幅及び識別再生部を有し、
該自己バイアス部は、電源 (V_{DD}) に接続された第一の抵抗と第二の抵抗と受光素子からなる直列回路を有し、
該バイアス制御ループ部は、該第一の抵抗と該第二の抵抗の接続点の電位が所定値となるように該直列回路に流れる電流を制御するバイパス電流路を有し、
該温度補償部は、該受光素子と同じ温度特性を有するダイオードを有し、該ダイオードの温度変動に対応する制御電圧を発生し、該制御電圧により該バイアス制御ループ部のバイパス電流路に流れるバイパス電流を制御することを特徴とする光受信装置。

【請求項 17】請求項 16 において、
前記直列回路に更に、第三の抵抗を接続し、該第三の抵抗の両端の電位を光受信出力として前記増幅及び識別再生部に入力するようにしたことを特徴とする光受信装置。

【請求項 18】請求項 16 において、
前記直列回路に流れる電流を光受信出力として前記増幅及び識別再生部に入力するようにしたことを特徴とする光受信装置。

【請求項 19】バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等

化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有する光受信装置において、

更に、基準接地電位となる導電性の光受信装置ケースと、

少なくとも該前置増幅器及び該等化増幅器を多段縦続して搭載するプリント基板を有し、

該光受信装置ケースは、底面から立ち上がる複数の導電性ピンを備え、

該プリント基板は、更に該多段縦続された該前置増幅器及び該等化増幅器の入出力間に接地パターンが形成され、且つ該光受信装置ケースに収容される際に、該接地パターンが、該複数の導電性ピンと並列接続されるように構成されたことを特徴とする光受信装置。

【請求項 20】請求項 19 において、
前記多段縦続された前置増幅器及び等化増幅器の入出力間の接地パターンが複数の分離され、該分離された接地パターンの各々が前記複数の導電性ピンと接続されるように構成されたことを特徴とする光受信装置。

【請求項 21】バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有し、接地パターンを有するマザーボード上に搭載される光受信装置において、

該基準接地電位となる導電性の光受信装置ケースと、
少なくとも該前置増幅器及び該等化増幅器を多段縦続して搭載し、且つ前置増幅器及び等化増幅器の入出力間の接地パターンが形成され、該光受信装置ケースに収容されるプリント基板と、

該マザーボード上に搭載される際に、該接地パターンとマザーボード上の接地パターンと該前置増幅器及び等化増幅器の入出力間の接地パターンとを接続するインタフェースピンを有し、

更に、該導電性の光受信装置ケースは、切り欠き片を備え、該切り欠き片と該インタフェースピンが電氣的接続されていることを特徴とする光受信装置。

【請求項 22】バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有し、接地パターンを有するマザーボード上に搭載される光受信装置において、

少なくとも底面が非導電性であり、基準接地電位となる光受信装置ケースと、

少なくとも該前置増幅器及び該等化増幅器を多段縦続して搭載し、且つ前置増幅器及び等化増幅器の入出力間の接地パターンが形成され、該光受信装置ケースに收容されるプリント基板を有し、

該マザーボード上に搭載される際に、該光受信装置ケースの接地パターンに該光受信装置ケースの非導電性の底面が対向するように配置されたことを特徴とする光受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、受光素子を有する光デジタル通信用の光受信装置に関する。

【0002】特に光入力電力に対し、常に最適増倍率 (M_{OPT}) に制御可能なバイアス回路を有し、更に光入力断検出の安定動作を実現する光受信装置に関する。

【0003】

【従来の技術】近年の通信の高速化、広帯域化に伴い、光デジタル通信が広く行き渡りつつある。この光デジタル通信に用いられる光受信装置の一般的構成は、図 27 に示される機能ブロック図の如くである。

【0004】ここで、光受信装置には、受光素子としてアバランシェフォトダイオードが用いられることが一般的である。図 27 において、10 は、アバランシェフォトダイオード (以下適宜 APD と略記する) である。

【0005】APD 10 は、バイアス制御回路 11 により、バイアス電流が制御される。APD 10 に受信光が入力すると、対応する電流が電気信号として流れ、これを電圧に変換して、前置増幅器 12 に導く。

【0006】前置増幅器 12 で増幅された電気信号は、等化増幅器 13 を通して、識別再生及びクロック抽出回路 14 に導かれる。識別再生及びクロック抽出回路 14 から識別再生されたデータ DATA と抽出されたクロック信号 CLK が出力される。

【0007】一方、等化増幅器 13 の出力は、ピーク検出部 15 にも入力され、ここで検出された等化増幅器 13 の出力のピーク値と所定の参照値とが比較器 16 において比較される。所定の参照値に対し、ピーク値が小さい場合は、光入力断であると判定される。

【0008】このような、光受信装置において、特に光入力に対する広いダイナミックレンジ及び光入力断検出の安定な動作が更に望まれている。

【0009】この内、前者の光入力に対する広いダイナミックレンジに対する問題は、上記前置増幅器 12 の飽和と、APD の帯域劣化、特に最小光入力レベル及び最大光入力レベル時における像倍率 M に対する影響に起因する。

【0010】更に、後者に関しては、装置の小型化の要求から高利得の増幅器を実装するために発振により光入

力断の検出が不可となる問題が生じる。これらの問題を以下に詳細に検討する。

【0011】図 28 は、前置増幅器 12 として用いるトランスインピーダンス型前置増幅器の回路例である。図 28 において、トランジスタ TR1 と TR2 が縦続に接続され、トランジスタ TR2 のエミッタ回路にダイオード D1 と抵抗 R2 が直列接続され、トランジスタ TR2 のエミッタから出力電圧 V_{OUT} が出力される。

【0012】更に、ダイオード D1 のカソードからトランジスタ TR1 のベース側に帰還抵抗 R_f が接続されている。

【0013】図 29 は、前置増幅器 12 の APD 10 の出力である入力電流 I_{IN} と出力電圧 V_{OUT} の関係を示す入力電流-出力電圧特性である。更に、入力電流 I_{IN} と出力電圧 V_{OUT} の関係を図 28 を参照して、考察すると、次のような式で表される。

【0014】

$$V_1 = V_{BE(TR1)} \quad \dots \quad (1)$$

$$V_2 = V_1 - I_{IN} \times R_f \quad \dots \quad (2)$$

$$V_{OUT} = V_2 + V_{D1} \quad \dots \quad (3)$$

(1) ~ (3) より

$$V_{OUT} = V_1 - I_{IN} \times R_f + V_{D1} \quad \dots \quad (4)$$

尚、上記式において、簡単のために、 $V_{ee} = 0V$ としている。

【0015】ここで、 I_{IN} が大きく、したがって入力光レベルが大きくなると、ダイオード D1 及び抵抗 R2 に電流が流れなくなり、 $V_{OUT} = V_{D1}$ となる。

【0016】したがって、 $V_{OUT} = V_{D1}$ となる時の入力電流 $I_{IN(MAX)}$ を入力飽和電流と呼び、

$$I_{IN(MAX)} = V_1 / R_f \quad \dots \quad (5) \quad \text{で}$$

表される。

【0017】更に、 $I_{IN} > I_{IN(MAX)}$ において $V_2 = 0$ となり、トランジスタ TR2、ダイオード D1 の電流源が無くなる為に、トランジスタ TR1 のコレクタ電位がベース電位と逆転し、トランジスタ TR1 が飽和する。

【0018】この時、入出力特性は、図 29 の如くなり、同図において点 P がこの飽和点を示している。

【0019】トランジスタ TR1 が飽和すると、 $I_{IN} < I_{IN(MAX)}$ となってもそのベース・コレクタ間の寄生容量に蓄積した電荷が放電し終わるまで帰還状態に戻らない。

【0020】したがって、図 30 に示す入出力波形の如く波形応答が劣化して符号誤りの原因となる。即ち、図 30 において、(1) は、入力電流 I_{IN} の波形であり、(2) 及び (3) は、出力電圧 V_{OUT} の波形である。

【0021】(1) 及び (2) の入出力関係では、入力電流 I_{IN} (1) が小さく、したがって、入力光レベルが小さいので、出力電圧 V_{OUT} (2) が波形劣化せず、正しくその符号を判定することが出来る。

【0022】一方、図30の(3)の場合は、入力光レベルが大きく、入力電流 I_{IN} が入力飽和電流 $I_{IN(MAX)}$ に近い場合の出力電圧 V_{OUT} の波形である。この場合、先に説明したようにトランジスタTR1の飽和により、そのベース・コレクタ間の寄生容量に蓄積した電荷が放電し終わるまで波形は0に戻らず、波形が劣化する。

【0023】したがって、この場合、図30の点線時点で識別すると、符号判定誤りを生じることになる。このために、飽和電流 $I_{IN(MAX)}$ は、式(5)より V_i を大きくするか R_f を小さくすれば向上するが、市販の回路素子(IC)を使用する場合は、その内部回路を変更することは困難である。

【0024】上記は、前置増幅器12の入力電流 I_{IN} が最大、即ち光ダイナミックレンジの最大受光レベルの時に生じる問題である。一方、光ダイナミックレンジの最小受光レベルの時に次のように問題が生じる。

【0025】即ち、図31、図32は、図28の光受信装置のAPDバイアス制御回路の従来例としての構成例である。図31は、従来のバイアス方式の一例である固定バイアス方式を説明する図である。

【0026】図31において、10は、アバランシェフォトダイオード(APD)であり、11は、バイアス制御回路として固定のバイアス電圧を発生する回路である。更に12は、前置増幅器であり、この出力は図28において説明したように、次段の等化増幅器13等に導かれる。

【0027】この回路は、基本的なバイアス回路であるが、温度・電源変動及びアバランシェフォトダイオードのばらつきによる最小受光電力時の特性劣化が大きい。また固定バイアス方式であるためAPDの利得即ち、増倍率Mの制御が無いので光入力ダイナミックレンジが狭い。

【0028】このため図32に示すようなAGCループを有するバイアス方式が使用されるのが一般的である。即ち、図32は、先に図27により説明した一般的な光受信装置の構成例に対し、更にFULL-AGCループを備えた従来のバイアス方式を採用した光受信装置の一構成例である。

【0029】図32において、APD10により光入力信号が電気信号に変換され出力される。この出力は、前置増幅器12を通して、等化増幅器13に導かれる。ここで波形等化され、ピーク電圧検出回路7に導かれる。

【0030】ピーク電圧検出回路7で信号のピークが検出され、増幅器8を通して、DC-DCコンバータで構成されるバイアス回路11に入力される。バイアス回路11において、入力されるピーク検出信号に対応してバイアスの大きさを可変制御する。これにより、等化増幅器13の出力のピーク値が一定となるように制御される。

【0031】更に等化増幅器13の出力は、識別再生回

路14に入力され、ここでデータ及びクロックが再生される。またタイミング抽出回路141に導かれ、タイミング信号が抽出され、タイミング信号は、識別再生回路14及び光入力断検出回路に導かれる。

【0032】光入力断検出回路は、ピーク電圧検出部15及び比較増幅器16を有し、タイミング信号が所定時間間断となることを検出することにより光入力断の状態を検出する。

【0033】上記のような従来のバイアス回路・方式においては、次のような問題がある。これを更に図33、図34を参照して説明する。図33は、従来のバイアス制御方式即ち、増倍率制御方式と最適増倍率の関係を示す図である。

【0034】図33において、横軸は光入力電力であり、縦軸は増倍率Mである。 P_{MIN} は、最小光入力電力である。更に最適増倍率の特性は M_{OPT} で示されている。

【0035】この図から理解できるように、図31に示す固定バイアス方式(図33においてM固定方式で示される。)においては、増倍率Mが固定であり、最適増倍率の特性 M_{OPT} に対し、常に増倍率Mが大きく、したがって最大受光電力においてアバランシェフォトダイオードの飽和によりその出力は劣化してしまう。

【0036】一方、図32に示すFULL-AGCループを有するバイアス方式の場合は、固定バイアス方式とは異なり、光入力電力が大きくなると増倍率Mは、小さくなる。これは、AGC帰還ループにより等化増幅器13の出力振幅を一定にするように制御しているからである。

【0037】ここで従来のAPD出力信号電流及び雑音と増倍率の関係を示す図34を観察する。図34において、横軸は増倍率Mの値であり、縦軸はAPD出力信号電流I及び雑音Nを示す。

【0038】通常最適増倍率の特性 M_{OPT} は、ショット雑音が最小で信号が最大の時、即ち図34において、②のように S/N が一番最良の位置に定められる。

【0039】FULL-AGCループを有するバイアス方式の場合は、①のように光入力が増大してもアバランシェフォトダイオードAPDの出力信号電流が一定となるように制御されるので光入力の増大に対応して増倍率Mが小さくなる(図34③)。

【0040】この時、ショット雑音も④のように大きくなるが信号に比べて増加が少なく、雑音は入力換算雑音が支配的となる。即ち、最適増倍率 M_{OPT} の状態から光入力信号を大きくした場合、アバランシェフォトダイオードAPDの出力電流Sと雑音Nが一定であり、 S/N が一定となり、エラー率は、改善されず固定(フロア)する。

【0041】一方、固定バイアス方式の場合は、光入力を大きくするとアバランシェフォトダイオードAPDの出力電流Sも雑音Nも大きくなるが、雑音Nは平方根で

増加するため、 S/N は、改善されるのでフローは生じない。

【0042】かかる点からFULL-AGCループを有するバイアス方式の場合は、アバランシェフォトダイオードAPDの出力電流から光入力断検出を行うことが難しい。即ち、アバランシェフォトダイオードAPDのバイアス電流 I_{APD} は数 μA オーダーであるので、この時 $I_{APD}-V_{APD}$ 特性の傾斜が急峻であるため V_{APD} バイアスの変化が小さくこの変化により光入力断検出を行うことが難しい。

【0043】このため、タイミング信号の断を検出して行う光入力断検出回路が必要となるが、この回路は複雑

$$I_{APD} = (e \cdot \lambda \cdot \eta) \div (h \cdot c) \times M \times P_{IN} \quad \dots (6)$$

$$M = 1 / [1 - (V_{APD} / V_B)^n] \quad \dots (7)$$

$$V_{APD} = V_0 - (R1 + R2) \times I_{APD} \quad \dots (8)$$

但し、 I_{APD} : APD10の平均電流、 e : 電子電荷、 λ : 入力波長、 h : プランク定数、 c : 光速、 η : APD10の量子効率、 M : APD10の量子効率、 P_{IN} : 平均光入力パワー、 V_{APD} : APD10のバイアス電圧、 V_B : APD10の降伏電圧、 V_0 : 自己バイアス制御電圧、 $R1$ 、 $R2$: 自己バイアス制御抵抗、及び
20 n : 素子により決定されるAPD増倍率指数である。

【0047】上記式(8)により、最大光受光レベル時の I_{APD} が増加することにより、図36のようにバイアス電圧 V_{APD} が減少する。この V_{APD} が素子で決定される帯域劣化電圧より小さくなると周波数帯域が図37に示すように減少し、最大光受光レベル時は、数10MHzとなる。

【0048】このために入力信号に符号間干渉による誤りが発生する。 V_{APD} の値を大としてAPD10の帯域を確保するために抵抗 $R1$ 、 $R2$ の抵抗値を小さくすると、増倍率 M が上記式(7)に従い大きくなり、 I_{APD} が増加する。この為に後段の前置増幅器12を飽和する光入力レベルが下がり、ダイナミックレンジが狭くなるという問題がある。

【0049】ここで更に、上記のピーク検出部15及び比較増幅器16で構成される上記光入力断検出回路を検討する。ピーク検出部15は、等化増幅器13の出力をピーク検出することにより光入力断の検出を実現している。

【0050】 P_{IN} に対する等化器出力波形特性を示す図38において、 V_{P1} 、 V_{P2} は、前置増幅器12の入力、即ちAPD10の受光レベルに対応した大きさを有する。 V_{P1} は最小受光レベル(1)、 V_{P2} は光入力断時のレベルである。

【0051】これら V_{P1} 、 V_{P2} の入力信号差は、微小であり後段の増幅器或いは等化増幅器13の利得を十分に大きくしなければ、比較器16において光入力断を検出可能なピーク電圧差が得られない。

【0052】一方、光受信装置は、小型化が要求されて

である。

【0044】また、FULL-AGCループの応答特性が非常に遅く、また回路が複雑となるので時定数を決定することが容易ではないと言う問題が存在する。

【0045】したがって、自己バイアス方式が好ましい。図35に自己バイアス方式の構成を示す。図35において、示されるようにAPD10に直列に自己バイアス制御抵抗 $R1$ 、 $R2$ を接続し、自己バイアス方式で増倍率 M を制御している。この場合の光入力パワー P_{IN} とAPD10のバイアス電圧 V_{APD} の関係は、以下のようになる。

【0046】

$$I_{APD} = (e \cdot \lambda \cdot \eta) \div (h \cdot c) \times M \times P_{IN} \quad \dots (6)$$

$$M = 1 / [1 - (V_{APD} / V_B)^n] \quad \dots (7)$$

$$V_{APD} = V_0 - (R1 + R2) \times I_{APD} \quad \dots (8)$$

おり、上記の問題を解決するために高利得の増幅器を実装しようとする場合、以下のような問題が生じる。

【0053】第一に、光受信装置内の漏話による発振が生じる。即ち、電源パターン(V_{CC} 、 V_{EE})と接地点(ケース接地)との間でインピーダンスを持ち、高利得増幅器の入出力間で漏話による発振が生じ、光入力断検出が出来ないという問題が生じる。

【0054】第二に、光受信装置のマザーボード実装時における発振が生じる。即ち、光受信装置のケースが金属等の導電性筐体で基準接地として使用している場合、光受信装置底部とその隣接するマザーボード信号・電源パターンの間隔による容量と、光受信装置インタフェース接地ピンのインダクタ成分が共振回路を形成し、高利得増幅器がその共振周波数で発振するという問題が生じる。

【0055】

【発明が解決しようとする課題】したがって、本発明の目的は、光入力信号断を正しく検出することを可能とするAPDのバイアス回路を有する光受信装置を提供することにある。

【0056】更に本発明の目的は、ディジタル通信における広ダイナミックレンジ化及び光入力断検出の安定動作を実現する光受信装置を提供することにある。

【0057】更に具体的に本発明の目的は、光ダイナミックレンジの最大受光レベル時において、前置増幅器が飽和するという問題を解決する光受信装置を提供することにある。

【0058】また本発明の目的は、光ダイナミックレンジの最大受光レベル時において、APDの帯域が劣化し、入力信号に符号間干渉による符号誤りを生じる問題を解決する光受信装置を提供することにある。

【0059】更に本発明は、APDの自己バイアス方式におけるAPD周波数帯域劣化に伴う前置増幅器を飽和する光入力レベルの低下したがって、ダイナミックレンジが狭くなるという問題を解消す光受信装置を提供する

ことにある。

【0060】更にまた本発明の目的は、光入力信号の断を正しく検出するために高利得の増幅器を採用する場合の光受信装置内部の漏話による発振、及び光受信装置のマザーボード実装時における発振を防止する光受信装置を提供することにある。

【0061】

【課題を解決するための手段及び作用】本発明に従う光受信装置は、基本的構成としてバイアス抵抗と受光素子との直列回路と、この直列回路に接続され、受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、この前置増幅器の出力を等化増幅する等化増幅器と、等化増幅器の出力を識別してデータ出力とする識別再生回路と、前記等化増幅器の出力のピーク値を検知し、検知したピーク値から光入力断を検出する光入力断検出回路を有する。

【0062】そして、前記前置増幅器の入力と接地電位間に前置増幅器の入力インピーダンスより大きい抵抗を備え、この抵抗にバイアス電流を流し、前記前置増幅器の入力飽和電流を増加させるように構成される。

【0063】更に、前記受光素子毎の自己バイアス制御電圧のバラツキ特性から最高光入力レベル時の受光素子バイアス電圧が制御されるべき範囲を定め、この設定範囲になるべくバイアス抵抗が調整される。

【0064】更に、本発明は、電源に接続された第一の抵抗と第二の抵抗と受光素子からなる直列回路と、この第一の抵抗と該第二の抵抗の接続点の電位が所定値となるように前記直列回路に流れる電流を制御するバイパス電流の電流路を有して構成される。

【0065】したがって、光入力電力に応じて変化するアバランシェフォトダイオードAPDのバイアス電流により第一乃至第二の抵抗で電圧降下を生じ、これを利用してアバランシェフォトダイオードAPDの増倍率Mを制御可能である。

【0066】また、バイパス電流路に流れるバイパス電流を制御することにより、第一の抵抗による電圧降下が生じ、第一及び第二の抵抗の接続点電位が可変となる。これによりアバランシェフォトダイオードAPDのバイアス電圧 V_{APD} の自己バイアス制御が可能である。

【0067】更に又、本発明は、基準接地電位となる導電性の光受信装置ケースと、少なくとも前記前置増幅器及び等化増幅器を多段縦続して搭載するプリント基板を有し、光受信装置ケースは、底面から立ち上がる複数の導電性ピンを備え、前記プリント基板は、更に多段縦続された前置増幅器及び等化増幅器の入出力間に接地パターンが形成され、且つ前記光受信装置ケースに收容される際に、接地パターンが、前記複数の導電性ピンと並列接続されるように構成される。

【0068】これにより、接地パターンを通して、帰還される漏洩電流、又接地パターンと基準接地パターン間

に形成されるインダクタ、容量の形成を防止又は、小さくでき、増幅器の発振を素子することが可能である。

【0069】

【実施例】以下、本発明の実施例を図面にしたがって説明するが、全図を通じて同一または、類似のものは、同一の参照番号及び記号を付して説明する。

【光ダイナミックレンジの最大光入力レベルの向上】図1は、最大光入力レベルにおける前置増幅器12の飽和による特性劣化を改善するための一実施例である。図2は、図29に示す従来例の特性と対比される、図1の実施例における前置増幅器12の入力電流—出力電圧特性を示す図である。

【0070】図1において、前置増幅器12は、図27及び図32において説明した前置増幅器である。その入力と接地間に前置増幅器12の入力インピーダンスより充分大きい抵抗Rを備え、入力電流 I_{IN} を減ずる方向に電流バイアス I_{DC} を流すようにしている。これにより、図2に示すように、実線の入力電流—出力電圧特性が破線の特性にシフトし、飽和点 P_0 が P_1 に移動される。

【0071】この結果、前置増幅器12の飽和電流値を $+I_{DC}$ 分だけ向上させることが可能である。

【0072】しかし、本実施例においては、次の点に留意することが必要である。そうでなければ、前置増幅器12の入力部雑音電流が増加し、最小光入力レベル特性が劣化することになる。

【0073】即ち、電流源回路の寄生容量（前置増幅器の入力—接地間の容量）、電流源回路で発生する雑音成分及び電流源回路のインピーダンス（ \geq 前置増幅器の入力インピーダンス）に留意することが必要である。

【0074】図3は、図1と同様の目的を実現する一実施例である。図3の実施例は、図1の実施例に対し、抵抗Rに更にダイオードDを順方向に直列に接続し、前置増幅器12の入力と接地電源間に挿入したものである。

【0075】この構成により、前置増幅器12の入力部直流電圧 V_i の温度変動に対し、ダイオードDの温度変動特性がこれを打ち消し、電流バイアス I_{DC} を図4に示すように周囲温度 T_a の変化に対しても一定に保つようにしている。

【0076】即ち、図4において、点線の特性Aは図1の実施例における周囲温度 T_a に対する電流バイアス I_{DC} の特性であり、周囲温度 T_a の上昇とともに電流バイアス I_{DC} が減少している。

【0077】一方、図4の実線Bは図3の実施例に基づく電流バイアス I_{DC} の特性であり、周囲温度 T_a の変化に対しても電流バイアス I_{DC} は一定である。これにより、前置増幅器12の飽和による特性劣化が周囲温度 T_a の変化にかかわらず改善可能である。

【0078】図5は、上記図3の実施例に従い、前置増幅器12、抵抗R及びダイオードDを実装する場合の寄生容量の問題を説明する図である。即ち、図5におい

て、プリント板の両面に回路素子が実装されている。図において、Dはダイオード、Rは抵抗、12は前置増幅器であり、これらがプリント板の一面に実装され、接続されている。

【0079】更に、50はプリント板の裏面に実装される回路部品である。このような実装の実際において、寄生容量としてダイオードDに隣接するパターンとの間で生じるダイオード寄生容量 C_D 、抵抗Rの両端に生じる抵抗寄生容量 C_R あるいは裏面の実装部品と間で生じるプリントパターン寄生容量 C_{PT} 等がある。

【0080】図6は、これら寄生容量と回路構成との関係を検討する図である。図において、(1)、(2)及び(3)は、それぞれ回路構成(a)と(b)に対応する等価接続回路、容量等価回路及び合成容量値オーダーを示している。

【0081】即ち、回路構成(a)は、前置増幅器12の入力端に抵抗Rが接続され、これにダイオードDが接地との間に接続される構成である。この構成は、図3に示す構成に対応する接続である。

【0082】この回路構成(a)の場合は、図6の(I)に示すように図5におけるプリント板裏面に実装される回路素子との間のプリントパターン寄生容量 C_{PT} を考慮すると、等価接続回路として(II)に示すようにダイオード容量 C_D とプリントパターン寄生容量 C_{PT} とが並列接続され、これに直列に抵抗容量 C_R が接続される。この場合の合成容量値は、(III)に示すように10⁻¹⁴のオーダである。

【0083】一方、回路構成(b)の場合は、前置増幅器12の入力端にダイオードDが接続され、これに抵抗Rが接地との間に接続される構成である。

【0084】この場合、(I)に示すように図5におけるプリント板裏面に実装される回路素子との間のプリントパターン寄生容量 C_{PT} を考慮すると、等価接続回路として(II)に示すように抵抗容量 C_R と寄生容量 C_{PT} とが並列接続され、これに直列にダイオード容量 C_D が接続される。この場合の合成容量値は、(III)に示すように10⁻¹³のオーダである。

【0085】したがって、回路構成(a)の場合、回路構成(b)に比べ、約10分の1寄生容量とすることが出来て有利である。

〔APD帯域劣化の改善〕次に、図7は、光入力レベル即ち、光入力パワー P_{IN} とAPD10の自己バイアス制御電圧 V_0 のバラツキに対するAPD帯域を保証するための最適化を説明する図である。

【0086】最大光入力レベル P_{MAX} 時のAPDのバイアス電圧 V_{APD} が制御されるべき範囲を設定し、 V_0 のバラツキ(受光素子の降伏電圧 V_B :温度傾斜)をパラメータにして、先に説明した図34に示すAPDバイアス制御回路の抵抗 R_1 、 R_2 の値を調整して最適化を図るようにしている。

【0087】即ち、図7では、最大自己バイアス制御電圧 V_{OMAX} に対し、抵抗 R_1 、 R_2 の値を大きくし、最小自己バイアス制御電圧 V_{OMIN} に対し、抵抗 R_1 、 R_2 の値を大きくしてAPDのバイアス電圧 V_{APD} の範囲内に入るようにしている。

【0088】ここで、図7の最適化のための調整の実際は、図8のフローに示す手順で行われる。図8において、先ず最小入力光パワーを保証する自己バイアス制御電圧 V_0 を設定する(ステップS1)。

10 【0089】ついで、最大光入力パワーを保証する抵抗 R_1 、 R_2 を調整する(ステップS2)。この抵抗 R_1 、 R_2 は、図8の右側に示すように可変抵抗による調整、または固定抵抗を置き換えることにより行う。調整する抵抗値は、 V_0 から最大光入力光パワー時、 V_{APD} を保証する抵抗値を計算し、その抵抗値に調整する。

【0090】また、図9の方法は、製造工程時にバイアス抵抗を実装する場合の調整方法の手順を説明するフローである。

20 【0091】APD10の降伏電圧 V_B 及びその温度傾斜 Γ の特性データを求める(ステップS11)。ついで、実装時に求めた降伏電圧 V_B 及び Γ からAPDバイアス電圧 V_{APD} を保証する抵抗値を計算する(ステップS12)。計算で求めた抵抗値 R_1 をプリント基板に実装し、次製造工程に進む(ステップS13)。

【0092】これにより、光受信装置組み立て後の試験調整工程を省略することが出来る。

30 【0093】更に、図10は、APD10の温度によるバイアス電圧 V_{APD} のバラツキに対するAPD帯域を保証するためにクランプ回路を用いる方法を説明する図である。

【0094】図10の例では、図の右側に示されるようにクランプ回路 CL を設け、最大光入力時のバイアス電圧 V_{APD} を帯域保証する電圧 V_{CL} でクランプするようにしている。

40 【0095】したがって、APD10の自己バイアス制御電圧 V_0 特性は、クランプ電圧 V_{CL} より大きい(入力光レベル P_{IN} が P_{MAX} 以下)範囲においては、抵抗 $R_1 + R_2$ で決まる傾斜を有し、クランプ電圧 V_{CL} で一定となる範囲は、抵抗 R_1 で傾斜が決まる(但し、 $R_1 \gg R_2$)。

【0096】この図11は、図10におけるクランプ回路 CL の一例であり、順方向に直列接続された複数のダイオードが抵抗 R_1 に並列に接続されている。図12に示すように、抵抗 R_1 に電流が流れている状態においては、抵抗 R_1 及び R_2 で決まる傾斜に沿って、入力光レベル P_{IN} に対し V_{APD} が得られる。

50 【0097】更に、図12に示されるように入力光レベル P_{IN} が大きくなり、複数のダイオードが導通状態になると、この時の直列のダイオード電圧降下 V_{CL} により抵抗 R_1 間の電圧降下が固定される。したがって、この後

更に入力光レベル P_{IN} が大きくなる時、抵抗 R_2 で決まる傾斜に沿って V_{APD} が得られる。

【0098】これにより、最大光入力レベル時のAPD10のバイアス電圧 V_{APD} をクランプし、 V_{APD} が小さくなる事による帯域劣化を防止することが出来る。

【0099】図13は、クランプ回路CLの他の例であり、所定の設定電圧で動作するトランジスタ T_{R1} によりAPD10のカソード部をクランプし、バイアス電圧 V_{APD} が小さくなることによる帯域劣化を防止する。

【0100】図13において、更にトランジスタ T_{R1} のベースと接地間にダイオード D_1 が接続されている。このダイオード D_1 の温度特性により、トランジスタ T_{R1} のベース・エミッタ間電圧 V_{BE} 特性を補償している。これにより、温度変動に対し、クランプ電圧 V_{CLAMP} を一定にすることが可能である。

【0101】図14は図13の $P_{IN}-V_{APD}$ の特性を示し、所定の光入力パワー P_{IN} 以下では V_{APD} がクランプ電圧 V_{CLAMP} より大きく抵抗 R_1+R_2 で決まる傾斜を有し、所定の光入力パワー P_{IN} 以上で、 V_{APD} がクランプ電圧 V_{CLAMP} に固定される。

【0102】更に、このクランプ電圧 V_{CLAMP} は、温度変動が生じている場合であっても、トランジスタ T_{R1} のベース・エミッタ間電圧 V_{BE} 特性をダイオード D_1 の温度特性により打ち消すように補償しているので、抵抗 R_2 で決まる一定の傾斜特性を得ることが出来る。

〔最小受光電力時の増倍率Mの最適値化〕図15は、本発明の他の実施例回路であり、特に最小受光電力の時、増倍率Mの最適値(M_{OPT})調整ができるようにし、これにより、増倍率Mの最大値を、 M_{OPT} とし、光入力断時の増倍率Mの増大による雑音を防ぐようにした実施例である。

【0103】図16は、図15の本発明実施例に対応する動作説明図であり、図17は、本発明の増倍率制御方式と最適増倍率の関係を示す図である。

【0104】図15において、1は、自己バイアス部であり、光入力電力に応じてアバランシェフォトダイオードAPDのバイアス電流が変化するので、第一の抵抗 R_1 、第二の抵抗 R_2 及び第三の抵抗 R_3 の電圧降下を利用して、アバランシェフォトダイオードAPD10自体がバイアス電圧を制御する自己バイアス方式を構成する。図示されるように、APD10のカソード側に直列に第一の抵抗 R_1 と第二の抵抗 R_2 が接続され、APD10のアノード側に第三の抵抗 R_3 が、負荷抵抗として接続される。

【0105】負荷抵抗である第三の抵抗 R_3 に生じる電位が受光出力としてコンデンサ C_1 を通して前置増幅器5に導かれる。前置増幅器5において増幅された出力は、図32において説明したと同様に等化増幅器13に入力される。

【0106】但し、図15の本発明の実施例構成におい

ては、自己バイアス方式であるので、図32との比較において、受光出力の振幅が一定とするようなDC/DCコンバータ4に制御信号を帰還する構成を有しない。

【0107】更に、図15において、第三の抵抗 R_3 に生じる電位が受光出力としてコンデンサ C_1 を通して前置増幅器5に導かれるように構成されているが、本発明は、かかる構成に限定されない。

【0108】即ち、第三の抵抗 R_3 を設けずアバランシェフォトダイオードAPD10のアノード側を直接前置増幅器12に導くように接続して、APD10に流れる電流を受光出力として、これを増幅、識別再生するように構成することが可能である。

【0109】第一の抵抗 R_1 と第二の抵抗 R_2 の接続点の電位は V_{DD2} であり、これにバイパス電流路として後に説明するバイアス制御ループ部2が接続される。

【0110】 V_{DD} は、アバランシェフォトダイオードAPD10の降伏電圧 V_B を考慮して十分大きくし、第一の抵抗 R_1 、第二の抵抗 R_2 及び第三の抵抗 R_3 の抵抗値は、APD10の最大定格電流により決定される。

【0111】実施例として、第一の抵抗 R_1 、第二の抵抗 R_2 及び第三の抵抗 R_3 は、8:4:1の値比に選ばれている。そして、具体的抵抗値は、第一の要件として最大定格電流が流れた時、APD10が破壊されないようなバイアス電圧 V_{APD} となるように第一の抵抗 R_1 、第二の抵抗 R_2 及び第三の抵抗 R_3 の値が決められる。

【0112】更に、第二の要件として最小受光電力の時、第一の抵抗 R_1 と第二の抵抗 R_2 の接続点の電位 V_{DD2} により、増倍率Mの最適値(M_{OPT})調整ができるように、バイアス制御ループ部2の電流 I_1 及び第一の抵抗 R_1 の大きさが決められる。これにより、増倍率Mの最大値は、 M_{OPT} となり、光入力断時の増倍率Mの増大による雑音を防ぐことができる。

【0113】バイアス制御ループ部2は、簡単な構成で第一の抵抗 R_1 と第二の抵抗 R_2 の接続点の電位 V_{DD2} を一定に保つように制御するものである。FULL-AGCループのように出力振幅を一定に保つ(最小受光付近でAPD10のバイアス電流を一定に保つ)構成と相違する。

【0114】第一の抵抗 R_1 と第二の抵抗 R_2 の接続点と、APD10とは反対側の第三の抵抗 R_3 の端子との間に制御用トランジスタ T_{R1} と第四の抵抗 R_4 の直列接続が並列に挿入される。

【0115】更に、この直列接続に並列に第五の抵抗 R_5 と第六の抵抗 R_6 の直列接続が並列に接続される。そしてこの第五の抵抗 R_5 と第六の抵抗 R_6 の接続点に+入力端が接続される第一の演算増幅器20が備えられる。第一の演算増幅器20の-入力端子には、第七の抵抗 R_7 を通して温度制御部3の出力が入力される。

【0116】第一の演算増幅器20の-入力端子と出力端との間に容量 C_2 が接続される。更に第一の演算増幅器20の出力は、制御用トランジスタ T_{R1} のベースに

導かれ、制御用トランジスタ T_{R1} の導通インピーダンスを可変して電流 I_1 を制御する。

【0117】かかる構成により、第一の抵抗 R_1 と第二の抵抗 R_2 の接続点の電位 V_{DD2} が変化しようとする場合、第五の抵抗 R_5 及び第六の抵抗 R_6 に流れる電流が変化する。

【0118】したがって第五の抵抗 R_5 及び第六の抵抗 R_6 の接続点の電位 V_{ref} も同様に変化する。これにより第一の演算増幅器 20 の出力が、電流 I_0 を一定にし、したがって電位 V_{DD2} が一定となるように制御用トランジスタ T_{R1} を制御して電流 I_1 の大きさを制御する。

【0119】更に、電位 V_{DD2} を一定とする制御範囲を越える時（電流 $I_1 = 0$ となる時点）、光入力電力の大きさに比例して、その値が小さくなる〔図 16 (i) 参照〕。

【0120】ここで、電流 I_1 の制御は、図 16 に示されるようにある光入力電力 P_0 の時に $I_1 = 0$ となり、光入力電力が大きくなるに従い第一の抵抗 R_1 、第二の抵抗 R_2 及び第三の抵抗 R_3 での電圧降下が大きくなり、アバランシェフォトダイオード APD のバイアス電圧 V_{APD} が下がる〔図 16 (ii)〕。

【0121】したがって、APD 10 のバイアス電圧 V_{APD} の低下に対応して、その増倍率 M が下がる（図 17）。

【0122】更に、図 16 を参照して上記を纏めると、任意の光入力電力 P_0 を切り変え点として光入力電力が減少する側では V_{DD2} を一定に保ち、アバランシェフォトダイオード APD 10 のアノード及びカソード側に直列に接続した第二の抵抗 R_2 及び第三の抵抗 R_3 による電圧降下を利用して制御する。

【0123】また光入力電力が増大する側では、バイアス制御ループ 2 の制御用トランジスタ T_{R1} が OFF となり、第二の抵抗 R_2 及び第三の抵抗 R_3 に加え第一の抵抗 R_1 の電圧降下も利用して、APD 10 の増倍率 M を任意の光入力電力 P_0 を切り変え点として自己バイアス制御する。

【0124】図 15 に戻り説明すると、バイアス制御ループ 2 において、ループ時定数は、容量 C_2 と第七の抵抗 R_7 とで決定され、カットオフ周波数は、 $f_c = 1 / 2\pi C_2 R_7$ となる。

【0125】図 15 において、更に温度補償部 3 には、第二の演算増幅器 30 が備えられる。第二の演算増幅器 30 の+入力端子には、第十の抵抗 R_{10} 、第十一の抵抗 R_{11} 、及び可変抵抗 R_{v1} の直列接続により得られる電圧 V_2 が入力され、更にその-入力端子には、第十二の抵抗 R_{12} 、第十三の抵抗 R_{13} 及びダイオード D_1 の直列接続により得られる電圧 V_1 が第九の抵抗 R_9 を通して入力される。

【0126】ここで、ダイオード D_1 は、APD 10 の

降伏電圧 V_B の温度補償として機能するものであり、これに代わりポジスター抵抗、サーミスタ、トランジスタ等の温度傾斜特性を有する素子も使用可能である。

【0127】更に温度補償部 3 は、最適増倍率 M_{OPT} の調整の機能を有する。この最適増倍率 M_{OPT} の調整は、可変抵抗 R_{v1} により行われる。

【0128】図 17 において、図 17 (i) は、最適増倍率 M_{OPT} の特性であり、図 17 (iii) は、従来の FULL-AGC 方式による増倍率 M の特性である。

【0129】本発明は、これを改善して図 17 (ii) の特性のように可変抵抗 R_{v1} の調整により、最適増倍率 M_{OPT} に近似調整する。

【0130】降伏電圧 V_B の温度補償は、ダイオード D_1 の温度特性を利用し、この温度特性の傾斜を第八の抵抗 R_8 と第九の抵抗 R_9 により利得を調整し、更に第一の演算増幅器 20 の利得を増倍することにより V_{DD2} に温度傾斜を持たせる。

【0131】この時の V_{DD2} の温度傾斜は、次の関係から求められる。

【0132】ダイオード D_1 の温度特性 $\times R_8 / R_9 \times (1 + R_5 / R_6)$

以上のごとくして図 31 乃至図 34 に示す従来の回路・方式の問題が解決される。尚、図 15 において、電源電圧 V_{EE} として安定化回路の出力を接続することにより、電源変動に強い、アバランシェフォトダイオード APD 10 のバイアス回路を得ることが可能である。

〔光入力断検出の安定動作化〕ここで、前置増幅器 12 に入力する信号レベルは、微小であり前置増幅器 12 及び後段の等化増幅器 13 の利得を大きくしなければ、比較器 16 における光入力断の検出が可能なピーク電圧差を得ることが困難である。

【0133】したがって、先に説明したように光受信装置に対して小型化が要求されており、上記のような高利得の増幅器を実装する場合に種々の原因による発振の問題が生じる。

【0134】図 18 は、光受信装置内部の漏話による発振の問題を説明する図である。図では、前置増幅器 12 と二段の等化増幅器 131、132 が縦続接続されている。

【0135】これらの増幅器は、共通の広面積の電源パターン 180 (V_{CC})、接地パターン 181 (V_{EE}) 及び基準接地点（光受信装置ケース基準接地 GND）間でインピーダンスを持つ。図において、 L_{CC} 、 L_{EE} は、後に説明するインタフェースピン及びパターンによるインダクタ成分である。

【0136】点線 182 で示される如く、高利得増幅器 12 の入力及び等化増幅器 132 の出力間に上記広面積の接地パターン 181 を通じて漏話経路が形成され発振が生じる。この場合は、光入力断の検出が出来なくなる。

【0137】図19及び20は、光受信装置のマザーボードに高利得増幅器を実装する場合の発振の問題を説明する図である。光受信装置のケースが導電性筐体（金属等）である場合、基準電位を接地として使用すると、光受信装置底部とそれに隣接するマザーボード信号・電源パターン間の間隙による容量と、光受信装置インタフェ이스ピンのインダクタ成分により共振回路を形成する。

【0138】このため、高利得増幅器部が共振回路の共振周波数で発振することになる。

【0139】即ち、図19において、高利得増幅器として前置増幅器12を代表として示し、光受信装置19のプリント板191に実装されている。また181は、プリント板191に形成された接地パターンである。

【0140】更に、192は、光受信装置19の導電性筐体である。一方、20は、マザーボードであり、21は、マザーボード20に形成された基準接地パターンである。

【0141】このマザーボード20に形成された基準接地パターン21と光受信装置19の接地パターン181とは、インタフェースピン190により接続されている。

【0142】したがって、先に図18の例で説明したようにインタフェースピン190がインダクタ成分 L_{∞} を示し、同時に導電性筐体192の底部とマザーボード20に形成された基準接地パターン21との間の隙間が容量成分Cを示している。

【0143】このために、図19に対する等価回路である図20に示されるように、図示されるインダクタ成分 L_{∞} と容量成分Cにより共振回路182を形成することになる。これにより増幅器が発振する。

【0144】したがって、本発明は、更に光受信装置において、上記の如き増幅器における発振を防止して、光入力断を安定に検出可能とするものである。

【0145】図21は、上記の増幅器の発振を防止するための一実施例であり、光受信装置筐体に立てた複数の導電ピンにより、接地パターンと基準接地パターン間に形成されるインダクタによるインピーダンスを下げるように構成するものである。

【0146】これにより接地パターン上の漏話を防止する実装を実現している。

【0147】図21において、192は、光受信装置の導電性筐体であり、底面から立ち上がる複数の導電ピン193を有している。191は、プリント基板であり、前置増幅器12、等化増幅器131、132のチップが搭載され、且つ接地パターン181が形成されている。

【0148】接地パターン181は、上記の複数の導電ピン193に並列に接続されている。したがって、接地パターン181と基準接地パターン21間に形成されるインダクタンスによるインピーダンスが下げられ、発振が防止される。

【0149】図22は、更に接地パターン181上の漏話を防止する実装を実現する別の実施例である。先に図18において説明したように、接地パターン181に漏話経路182が形成され、これにより信号が帰還され発振が生じる。したがって、接地パターン181を複数に分割して漏話経路182を分断するようにしている。

【0150】即ち、図22において、図21の実施例と同様にプリント板191に前置増幅器12、等化増幅器131、132が搭載されている。図21の実施例と異なる点は、接地パターン181が複数のパターン181a~181fに分割されている点にある。

【0151】更に、192は、光受信装置の導電性筐体であり、複数の導電ピン193が分割された複数のGNDパターン181a~181fに対応して接続されるべく設けられている。

【0152】図23は、図22の実装に対応する等価回路の一部を示している。分割接地パターン181c~181eがそれぞれ対応する導電ピン193により筐体基準接地電位に接続されている。尚、図において133は、等価フィルタであり、134は、終端抵抗である。これら等価フィルタ133、終端抵抗134及び増幅器により等化増幅器13が構成される。

【0153】図22、23に示すように接地パターン181が分割され、漏話経路182の形成を阻止し、結果として発振を防止することが出来る。

【0154】図24は、更に実装により接地パターンと基準接地パターンとの間のインタフェースピンによりインダクタが形成されこれにより発振回路が形成されるのを防止するための具体的実施例である。

【0155】図19の実施例の実装においては、光受信装置19のプリント板191上に形成される接地パターン181とマザーボード20の基準接地パターン21とは、インタフェースピン190を通して接続されている。

【0156】したがって、この例では、インタフェースピン190の長さに基づくインダクタ成分 L_{∞} が生じ、図20に示す共振回路が形成され、発振の原因となる可能性がある。そこで図24に示す実施例では、光受信装置19の導電性筐体192の一部を切り欠き、切り欠き部192aとして折り曲げ、インタフェースピン190と接続することにより、インタフェースピン190の長さを実質短くしている。

【0157】図25は、さらに導電性筐体192の切り欠きを説明する図である。図25では、導電性筐体192に二つの切り欠き部192a、192bが形成され、導電性筐体192の底面と平行するように折り曲げられている。195は、導電性筐体192の底面に形成された透し穴である。

【0158】この透し穴195を通して、切り欠き部192a、192bとインタフェースピン190とがハン

ダ付け等により電氣的に接続が可能である。したがって、インタフェースピン190がマザーボード20(図19参照)の基準接地パターン21と接続される点までの長さが、等価的に短縮される。これにより、インタフェースピン190によるインダクタの大きさが減少可能である。

【0159】図26は、更に光受信装置の実装における発振の問題を解決する別の実施例である。図において、192は、光受信装置の導電性筐体である。20は、マザーボード、21は、その上に形成される基準接地パターンである。

【0160】本実施例においては、さらに導電性筐体192の少なくとも底面部192aを非導電体で形成し、他の部分を導電性により形成する2部分構成とすることに特徴を有する。これにより、図19に示されるように、導電性筐体192の底面とマザーボード20上の基準接地パターン21間の空隙により生じる容量Cの形成が防止される。したがって、図20に示す共振回路182の形成が回避できる。

【0161】

【発明の効果】以上実施例にしたがって説明したように、本発明により以下のような効果が得られる。

【0162】第一に固定バイアス方式、FULL-AGC方式に比べ光入力電力に対し、常に最適増倍率 M_{opt} とすることが可能であり、更にS/Nを改善することができる。

【0163】第二に増倍率Mの最大値を最小受光電力時の M_{opt} とすることにより、光入力断時の増倍率の増大による雑音(ブレイクダウン電圧 V_B 付近による暗電流の増加)は無く、後段増幅器の出力でのピーク検出等により容易に断検出を行うことが可能である。

【0164】第三に制御ループの時定数の設定が主信号に無関係に独立して容易に設定できる。第四にアバランシェフォトダイオードAPDの温度補償が簡易な構成で可能である。

【0165】以上の点から効率的なアバランシェフォトダイオードAPDのバイアス回路が提供され、本発明によるシステムにおける寄与は大きい。

【図面の簡単な説明】

【図1】本発明に従う前置増幅器の飽和電流を向上する一実施例ブロック図である。

【図2】図1の動作を説明する入力電流-出力電圧特性を示す図である。

【図3】本発明に従う前置増幅器の飽和電流向上する他の実施例ブロック図である。

【図4】図3の動作を説明する電流バイアス I_{DC} 特性を示す図である。

【図5】寄生容量発生原因を説明する図である。

【図6】寄生容量を説明する図である。

【図7】 V_0 バラツキに対応する最適 $R1$ 、 $R2$ の関係を示す図である。

【図8】図7に対応する最適 $R1$ 、 $R2$ を設定する手順フローである。

【図9】APD実装時の抵抗 $R1$ の設定手順フローである。

【図10】本発明に従う V_{APD} クランプ回路動作を説明する図である。

【図11】クランプ回路の具体例を示す図である。

【図12】図11の回路に対応する $P_{IN}-V_{APD}$ 特性を示す図である。

【図13】クランプ回路の他の具体例を示す図である。

【図14】図13の回路に対応する $P_{IN}-V_{APD}$ 特性を示す図である。

【図15】本発明の一実施例回路を示す図である。

【図16】図15の実施例の動作説明図である。

【図17】本発明の増倍率制御方式と最適増倍率の関係を説明する図である。

【図18】高利得増幅器接続時の漏話経路を説明する図である。

【図19】マザーボード実装時の共振回路の説明図である。

【図20】図19の等価回路を示す図である。

【図21】筐体-P、GNDパターン間のピン接続を説明する図である。

【図22】増幅器入出力間GNDパターン分離を説明する図である。

【図23】図22の等価回路を示す図である。

【図24】インタフェースピン接続の一例を示す図である。

【図25】図24の筐体の切り欠きを説明する図である。

【図26】筐体とマザーボードの取り付けの一例を説明する図である。

【図27】一般的光受信装置の構成例ブロック図である。

【図28】トランスインピーダンス型前置増幅器の構成例を示す図である。

【図29】図28の入力 出力電圧特性を示す図である。

【図30】図28の入出力波形を示す図である。

【図31】従来のバイアス方式の一例を示す図である。

【図32】FULL-AGCループを有する従来の光受信装置の構成例ブロック図である。

【図33】従来の増倍率制御方式と最適増倍率の関係を説明する図である。

【図34】従来のAPD出力信号電流及び雑音と増倍率の関係を説明する図である。

【図35】自己バイアス方式によるAPDバイアス制御を説明する図である。

【図36】図35における平均光入力パワーと V_{APD} 、増倍率の関係を説明する図である。

【図37】 V_{APD} f_c の関係を説明する図である。

【図38】 P_{IN} に対する等化増幅器出力波形特性を説明する図である。

【符号の説明】

- 1 自己バイアス部
- 2 バイアス制御部 (バイパス電流路)
- 3 温度補償部
- 4 DC/DCコンバータ
- 1.0 APD (アバランシェフォトダイオード)
- 1.1 APDバイアス制御回路

- 12 前置増幅器
- 13 等化増幅器
- 14 識別再生 & クロック抽出回路
- 15 ピーク検出部
- 16 比較器

R1 ~ R13 抵抗

V_{APD} アバランシェフォトダイオードのバイアス電圧

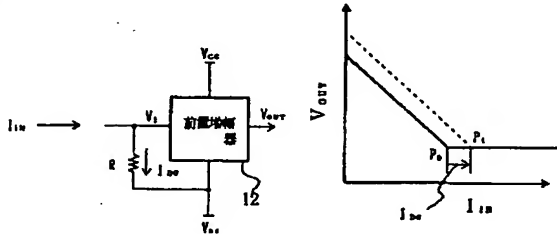
2.0、3.0 演算増幅器

TR1 制御用トランジスタ

10 D1 温度補償用ダイオード

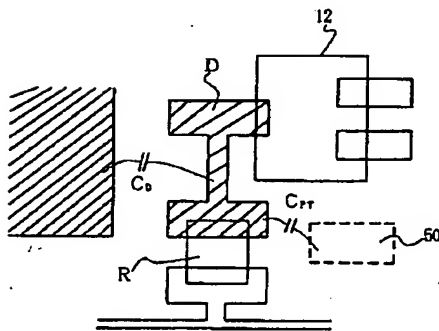
【図1】

前置増幅器の飽和電流向上の一実施例



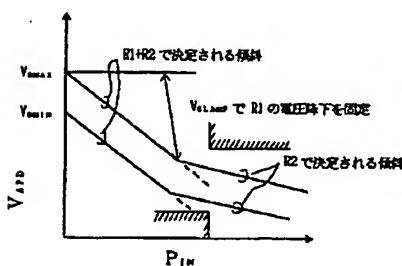
【図5】

寄生容量発生原因の説明



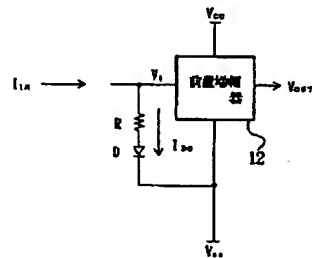
【図12】

図11の $P_{IN} - V_{APD}$ 特性



【図2】

入力電流-出力電圧特性 前置増幅器の飽和電流を向上する他の実施例



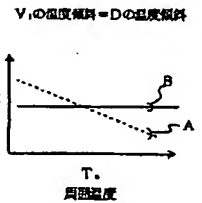
【図6】

寄生容量の説明

寄生容量	10 ⁻¹⁰	10 ⁻¹¹
寄生容量	10 ⁻¹⁰	10 ⁻¹¹
寄生容量	10 ⁻¹⁰	10 ⁻¹¹
寄生容量	10 ⁻¹⁰	10 ⁻¹¹

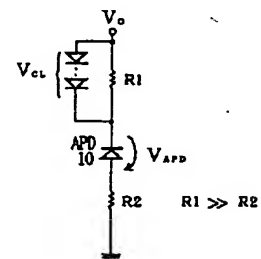
【図3】

電流バイアス I_{DC} 特性



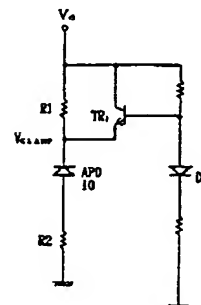
【図11】

クランプ回路の一例



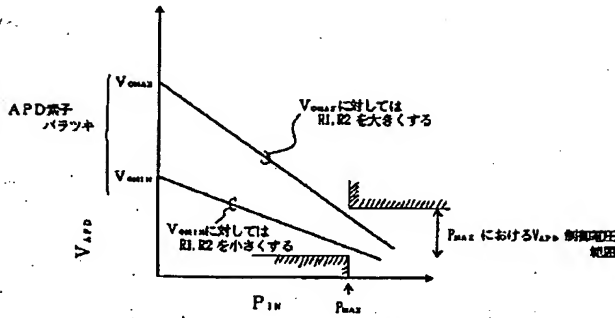
【図13】

クランプ回路の他の具体例



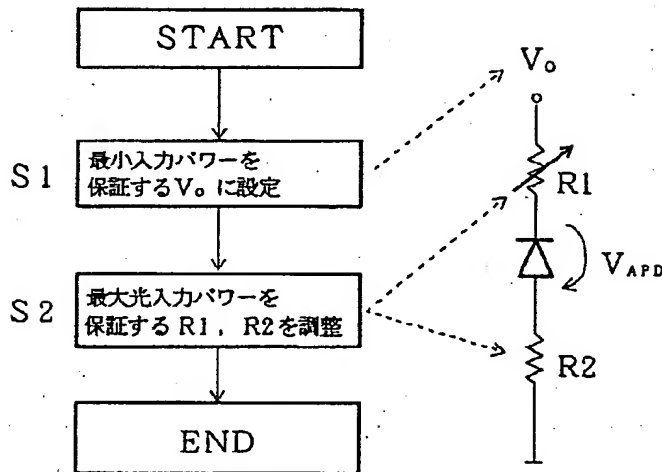
【図7】

V_o バラツキに対する最適 $R1$, $R2$ の関係



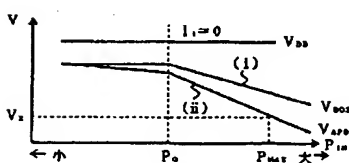
【図8】

最適 $R1$, $R2$ を設定する手順フロー



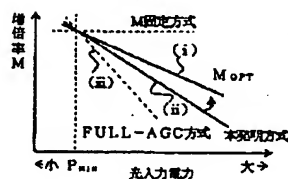
【図16】

本発明の動作説明図



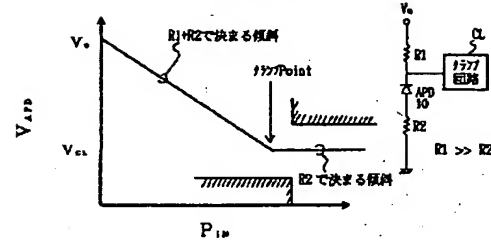
【図17】

本発明の増倍率制御方式と最適増倍率の関係



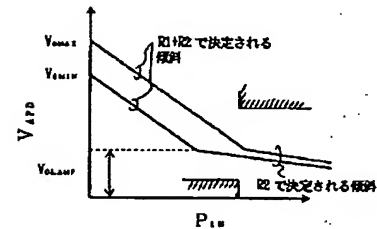
【図10】

V_{APD} クランプ回路動作説明



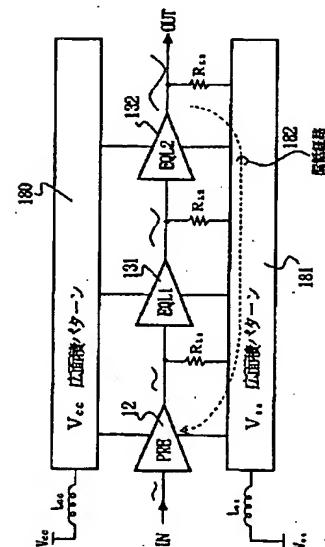
【図14】

図13の $P_{in}-V_{APD}$ 特性



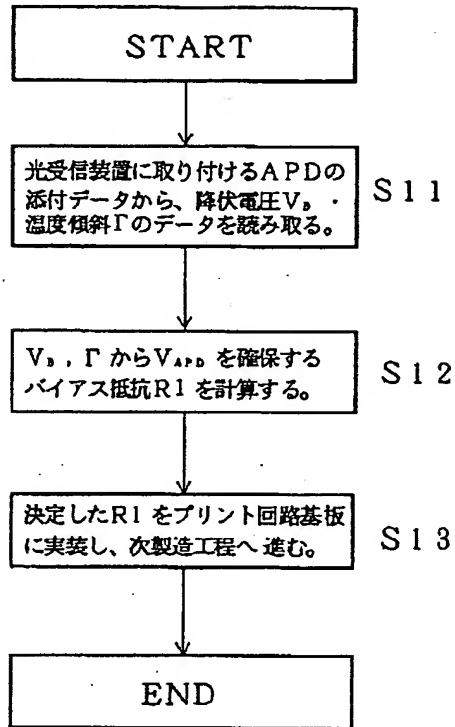
【図18】

高利得増幅器接続時の漏れ経路



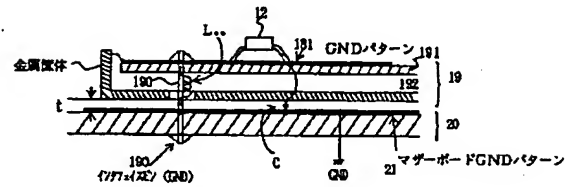
【図9】

APD実装時の抵抗R1の設定手順フロー



【図19】

マザーボード実装時の共振回路の説明

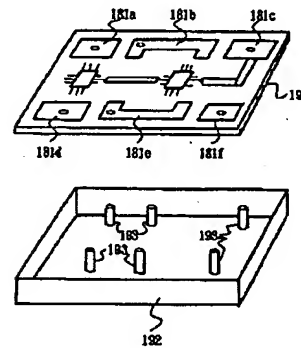


【図22】

【図30】

増幅器入出力間GNDパターン分離

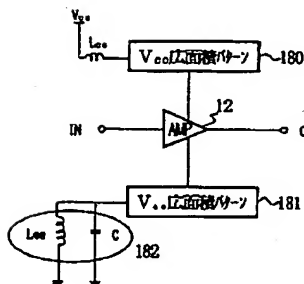
入出力波形



【図23】

【図20】

図19の等価回路



【図21】

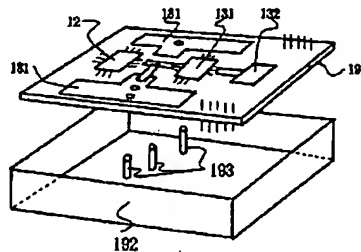
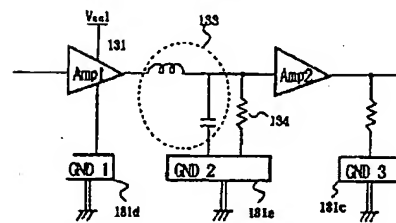
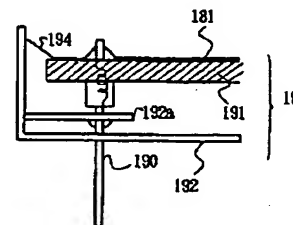
筐体-P₁GNDパターン間ピン接続

図22の等価回路



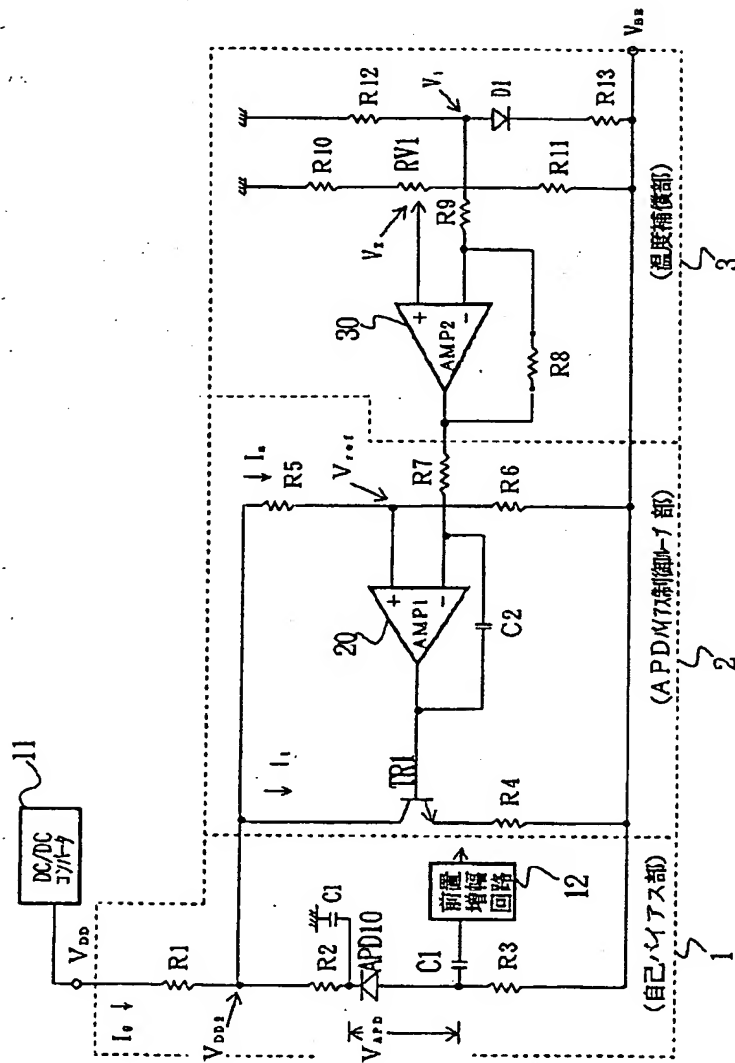
【図24】

インタフェースピン接続の一例



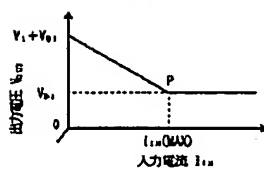
【図15】

本発明の一実施例回路図



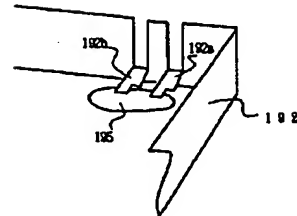
【図29】

入力電流-出力電圧特性



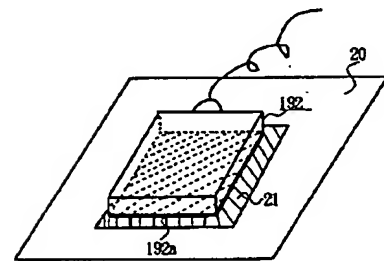
【図25】

図24の筐体の切り欠き



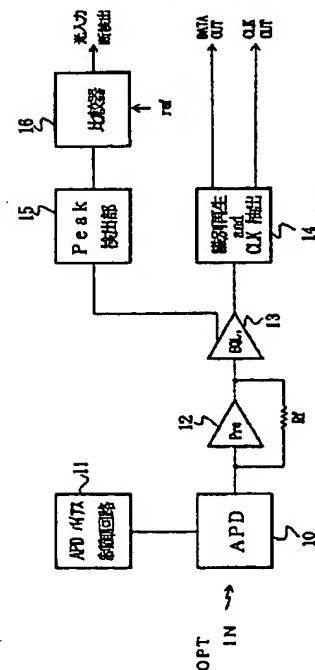
【図26】

筐体とマザーボードの取り付けの一例



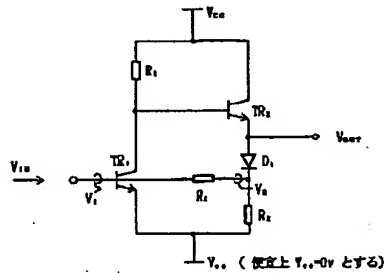
【図27】

一般的光受信装置の構成例



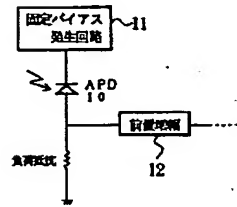
【図28】

トランスインピーダンス型前置増幅器の構成例



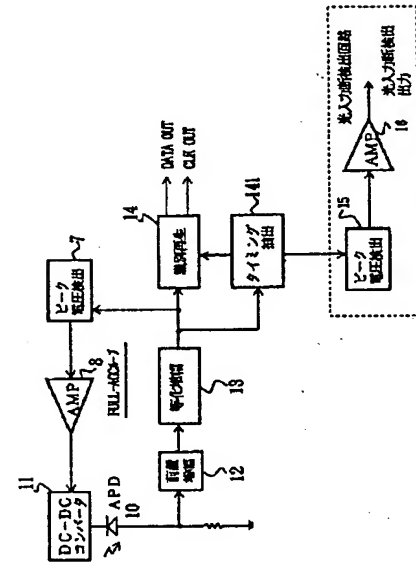
【図31】

従来のバイアス方式の一構成例



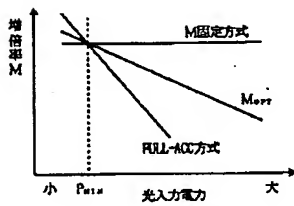
【図32】

FULL-AGCループを有する従来の光受信装置の構成例



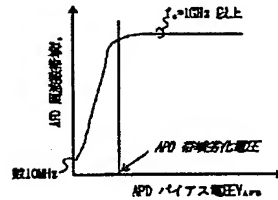
【図33】

従来の増倍率制御方式と最速増倍率の関係



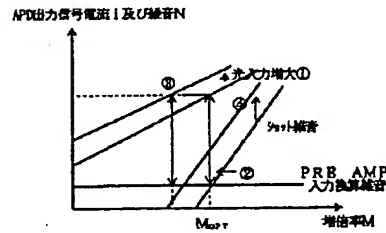
【図37】

$V_{APD}-f_c$ の関係



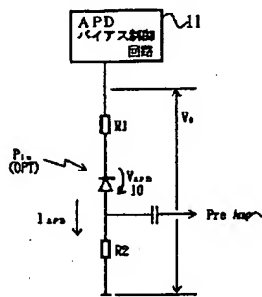
【図34】

従来のAPD出力信号電流及び雑音と増倍率の関係



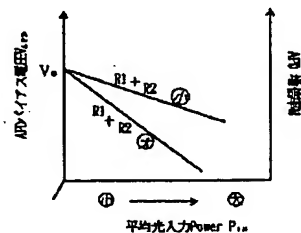
【図35】

自己バイアス方式によるAPDバイアス制御

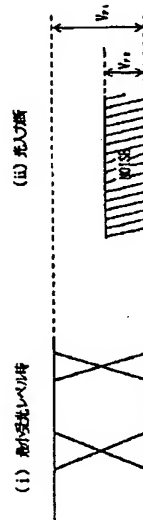


【図36】

平均光入力パワーと V_{APD} 、増倍率の関係



【図 38】

P_{in} に対する EQL 出力波形特性

【手続補正書】

【提出日】平成 6 年 8 月 23 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 19

【補正方法】変更

【補正内容】

【請求項 19】 バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有する光受信装置において、更に、基準接地電位となる導電性の光受信装置ケースと、少なくとも該前置増幅器及び該等化増幅器を多段縦続して搭載するプリント基板を有し、該光受信装置ケースは、底面から立ち上がる複数の導電性ピンを備え、該プリント基板は、更に該多段縦続された該前置増幅器及び該等化増幅器の入出力終端抵抗及び増幅器電源に接地パターンが形成され、且つ該光受信装置ケースに收容される際に、該接地パターンが、該複数の導電性ピンと

並列接続されるように構成されたことを特徴とする光受信装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】請求項 20

【補正方法】変更

【補正内容】

【請求項 20】 請求項 19 において、前記多段縦続された前置増幅器及び等化増幅器の入出力終端抵抗及び増幅器電源の接地パターンが複数に分離され、該分離された接地パターンの各々が前記複数の導電性ピンと接続されるように構成されたことを特徴とする光受信装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】請求項 21

【補正方法】変更

【補正内容】

【請求項 21】 バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検

知したピーク値から光入力断を検出する光入力断検出回路を有し、接地パターンを有するマザーボード上に搭載される光受信装置において、
該基準接地電位となる導電性の光受信装置ケースと、少なくとも該前置増幅器及び該等化増幅器を多段縦続して搭載し、且つ前置増幅器及び等化増幅器の入出力終端抵抗、増幅器電源の接地パターンが形成され、該光受信装置ケースに收容されるプリント基板と、
該マザーボード上に搭載される際に、該接地パターンとマザーボード上の接地パターンと該前置増幅器及び等化増幅器の入出力間の接地パターンとを接続するインタフェースピンを有し、
更に、該導電性の光受信装置ケースは、切り欠き片を備え、該切り欠き片と該インタフェースピンが電氣的接続されていることを特徴とする光受信装置。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】請求項 2

【補正方法】変更

【補正内容】

【請求項 2】 バイアス抵抗と受光素子との直列回路と、該直列回路に接続され、該受光素子が検知した光入力レベルに対応する電流を電圧変換する前置増幅器と、該前置増幅器の出力を等化増幅する等化増幅器と、該等化増幅器の出力を識別してデータ出力とする識別再生回路と、該等化増幅器の出力のピーク値を検知して、該検知したピーク値から光入力断を検出する光入力断検出回路を有し、接地パターンを有するマザーボード上に搭載される光受信装置において、
少なくとも底面が非導電性であり、基準接地電位となる光受信装置ケースと、
少なくとも該前置増幅器及び該等化増幅器を多段縦続して搭載し、且つ前置増幅器及び等化増幅器の入出力終端抵抗、増幅器電源の接地パターンが形成され、該光受信装置ケースに收容されるプリント基板を有し、
該マザーボード上に搭載される際に、該光受信装置ケースの接地パターンに該光受信装置ケースの非導電性の底面が対向するように配置されたことを特徴とする光受信装置。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正内容】

【0068】これにより、接地パターンを通して、帰還される漏洩電流、又接地パターンと基準接地パターン間に形成されるインダクタ、容量の形成を防止又は、小さくでき、増幅器の発振を阻止することが可能である。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0086

【補正方法】変更

【補正内容】

【0086】最大光入力レベル P_{MAX} 時の APD のバイアス電圧 V_{APD} が制御されるべき範囲を設定し、 V_0 のバラツキ（受光素子の降伏電圧 V_B : 温度傾斜）をパラメータにして、先に説明した図 35 に示す APD バイアス制御回路の抵抗 R_1 、 R_2 の値を調整して最適化を図るようにしている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0087

【補正方法】変更

【補正内容】

【0087】即ち、図 7 では、最大自己バイアス制御電圧 V_{OMAX} に対し、抵抗 R_1 、 R_2 の値を大きくし、最小自己バイアス制御電圧 V_{OMIN} に対し、抵抗 R_1 、 R_2 の値を小さくして APD のバイアス電圧 V_{APD} の範囲内に入るようにしている。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0095

【補正方法】変更

【補正内容】

【0095】したがって、APD 10 の自己バイアス制御電圧 V_0 特性は、クランプ電圧 V_{CL} より大きい（入力光レベル P_{IN} が P_{MAX} 以下）範囲においては、抵抗 $R_1 + R_2$ で決まる傾斜を有し、クランプ電圧 V_{CL} で一定となる範囲は、抵抗 R_2 で傾斜が決まる（但し、 $R_1 \gg R_2$ ）。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0105

【補正方法】変更

【補正内容】

【0105】負荷抵抗である第三の抵抗 R_3 に生じる電位が受光出力としてコンデンサ C_1 を通して前置増幅器 12 に導かれる。前置増幅器 12 において増幅された出力は、図 32 において説明したと同様に等化増幅器 13 に入力される。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0106

【補正方法】変更

【補正内容】

【0106】但し、図 15 の本発明の実施例構成においては、自己バイアス方式であるので、図 32 との比較において、受光出力の振幅が一定とするような DC/DC コンバータ 11 に制御信号を帰還する構成を有しない。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0107

【補正方法】変更

【補正内容】

【0107】更に、図15において、第三の抵抗R3に生じる電位が受光出力としてコンデンサC1を通して前置増幅器12に導かれるように構成されているが、本発明は、かかる構成に限定されない。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0132

【補正方法】変更

【補正内容】

【0132】ダイオードD1の温度特性 $\times R8 / R9 \times (1 + R5 / R6)$

以上のごとくして図31乃至図34に示す従来の回路・方式の問題が解決される。尚、図15において、電源電圧 V_{EE} として安定化回路の出力を接続することにより、電源変動に強い、アバランシェフォトダイオードAPD10のバイアス回路を得ることが可能である。

【光入力断検出の安定動作化】ここで、図27に示した構成において、前置増幅器12に入力する信号レベルは、微小であり前置増幅器12及び後段の等化増幅器13の利得を大きくしなければ、比較器16における光入力断の検出が可能なピーク電圧差を得ることが困難である。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0137

【補正方法】変更

【補正内容】

【0137】図19及び20は、光受信装置のマザーボードに高利得増幅器を実装する場合の発振の問題を説明する図である。光受信装置のケースが導伝性筐体（金属等）である場合、基準電位を接地として使用すると、光受信装置底部とそれに隣接するマザーボード信号・電源パターンとの間隙による容量と、光受信装置インタフェースピンのインダクタ成分により共振回路を形成する。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0140

【補正方法】変更

【補正内容】

【0140】更に、192は、光受信装置19の導伝性筐体である。一方、20は、マザーボードであり、21は、マザーボード20に形成された基準接地パターンである。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0142

【補正方法】変更

【補正内容】

【0142】したがって、先に図18の例で説明したようにインタフェースピン190がインダクタ成分 L_{ee} を示し、同時に導伝性筐体192の底部とマザーボード20に形成された基準接地パターン21との間が容量成分Cを示している。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0145

【補正方法】変更

【補正内容】

【0145】図21は、上記の増幅器の発振を防止するための一実施例であり、光受信装置筐体に立てた複数の導伝ピンにより、接地パターンと基準接地パターン間に形成されるインダクタによるインピーダンスを下げるように構成するものである。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0147

【補正方法】変更

【補正内容】

【0147】図21において、192は、光受信装置の導伝性筐体であり、底面から立ち上がる複数の導伝ピン193を有している。191は、プリント基板であり、前置増幅器12、等化増幅器131、132のチップが搭載され、且つ接地パターン181が形成されている。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0148

【補正方法】変更

【補正内容】

【0148】接地パターン181は、上記の複数の導伝ピン193に並列に接続されている。したがって、接地パターン181と基準接地パターン21間に形成されるインダクタンスによるインピーダンスが下げられ、発振が防止される。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0151

【補正方法】変更

【補正内容】

【0151】更に、192は、光受信装置の導伝性筐体であり、複数の導伝ピン193が分割された複数のGN Dパターン181a～181fに対応して接続されるべく設けられている。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0152

【補正方法】変更

【補正内容】

【0152】図23は、図22の実装に対応する等価回路の一部を示している。分割接地パターン181c～181eがそれぞれ対応する導伝ピン193により筐体基準接地電位に接続されている。尚、図において133は、等価フィルタであり、134は、終端抵抗である。これら等価フィルタ133、終端抵抗134及び増幅器により等化増幅器13が構成される。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0156

【補正方法】変更

【補正内容】

【0156】したがって、この例では、インタフェースピン190の長さに基づくインダクタ成分 L_{ee} が生じ、図20に示す共振回路が形成され、発振の原因となる可能性がある。そこで図24に示す実施例では、光受信装置19の導伝性筐体192の一部を切り欠き、切り欠き部192aとして折り曲げ、インタフェースピン190と接続することにより、インタフェースピン190の長さを実質短くしている。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0157

【補正方法】変更

【補正内容】

【0157】図25は、さらに導伝性筐体192の切り欠きを説明する図である。図25では、導伝性筐体19

2に二つの切り欠き部192a、192bが形成され、導伝性筐体192の底面と平行するように折り曲げられている。195は、導伝性筐体192の底面に形成された透し穴である。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0159

【補正方法】変更

【補正内容】

【0159】図26は、更に光受信装置の実装における発振の問題を解決する別の実施例である。図において、192は、光受信装置の導伝性筐体である。20は、マザーボード、21は、その上に形成される基準接地パターンである。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0160

【補正方法】変更

【補正内容】

【0160】本実施例においては、さらに導伝性筐体192の少なくとも底面部192aを非導伝体で形成し、他の部分を導伝性により形成する2部分構成とすることに特徴を有する。これにより、図19に示されるように、導伝性筐体192の底面とマザーボード20上の基準接地パターン21間の空間により生じる容量Cの形成が防止される。したがって、図20に示す共振回路182の形成が回避できる。

フロントページの続き

(51) Int. Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

H04B 10/28

10/26

10/14

10/04

10/06

(72)発明者 宮木 裕司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 永瀬 典生

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 葛上 寛

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.